



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Off nl gungsschrift  
10 DE 198 47 175 A 1

51 Int. Cl. 7:  
H 01 L 27/11  
H 01 L 23/58  
H 01 L 25/065  
G 11 C 14/00

21 Aktenzeichen: 198 47 175.0  
22 Anmeldetag: 14. 10. 1998  
43 Offenlegungstag: 20. 4. 2000

DE 198 47 175 A 1

71 Anmelder:  
Zentrum Mikroelektronik Dresden GmbH, 01109  
Dresden, DE  
74 Vertreter:  
Patentanwälte Lippert, Stachow, Schmidt &  
Partner, 01309 Dresden

72 Erfinder:  
Buschbeck, Steffen, Dr.-Ing., 01069 Dresden, DE;  
Roepert, Heiko, Dipl.-Ing., 01454 Ullersdorf, DE;  
Wolf, Thomas, Dipl.-Ing., 01109 Dresden, DE

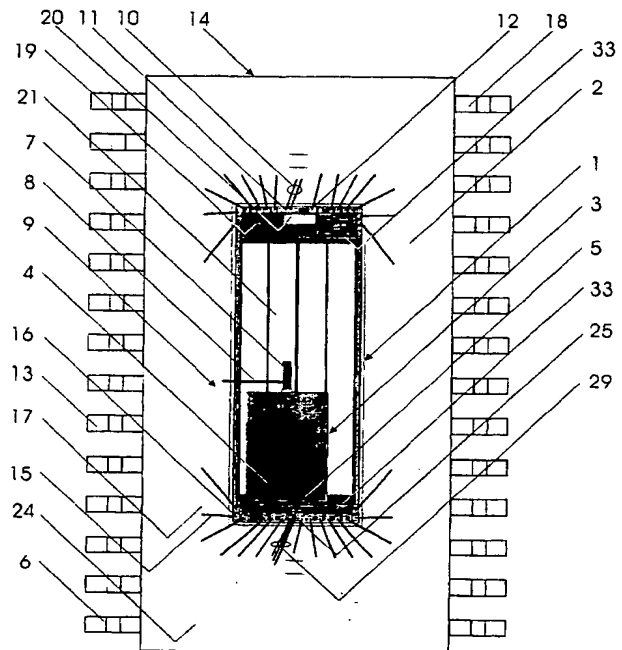
56 Entgegenhaltungen:  
JP 09-1 99 666 A  
JP 05-1 36 329 A  
JP 03-1 23 068 A  
JP 02-3 07 255 A  
JP 02-2 02 049 A  
JP 01-3 18 259 A  
JP 01-2 93 555 A  
JP 08-46 133 A  
JP 05-21 698 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Integrierte Speicherschaltungsanordnung

57 Der Erfindung, die eine integrierte Speicherschaltungsanordnung aus einem Trägermaterial, einem Halbleiterchip, auf dem zumindest ein Shadow-RAM integriert ist, einem Kondensatorelement und einem Schaltkreisgehäuse betrifft, liegt die Aufgabe zugrunde, eine Anordnung für Shadow-RAMs anzugeben, welche ohne externe Zusatzbeschaltung praktisch unabhängig vom zeitlichen Ablauf bei Power-Down einen STORE-Vorgang zur Sicherung des RAM-Inhaltes im nichtflüchtigen Schattenspeicher durchführen können. Dies wird dadurch gelöst, daß zusätzlich zum Halbleiterchip ein Kondensatorelement, welches zumindest aus Elektroden und einem Dielektrikum besteht, die zum STORE-Vorgang bei Power-Down erforderliche Energie bereitstellend in dem Schaltkreisgehäuse integriert ist.



DE 198 47 175 A 1

## Beschreibung

Die Erfindung betrifft eine integrierte Speicherschaltungsanordnung aus einem Trägermaterial, einem Halbleiterchip, auf dem zumindest ein Shadow-RAM integriert ist, einem Schaltkreisgehäuse und einer Kapazität, die zusätzlich zum Halbleiterchip in dem Schaltkreisgehäuse die zum STORE-Vorgang bei Power-Down erforderliche Energie bereitstellend integriert ist.

Grundsätzlich ist es bei Halbleiterschaltkreisen bekannt, IC-Trägerstreifen mit Außenanschlüssen, mit einem Halbleiter-Chip und einem Gehäuse zu versehen, welches aus einer Vergußmasse besteht. Die Verbindung zwischen IC-Trägerstreifen und Halbleiterchip wird durch Bonddrähte oder andere Leitermaterialien hergestellt.

Ein großes Segment innerhalb der Halbleiterschaltkreise sind Halbleiterspeicher. Diese unterteilen sich in eine Vielzahl unterschiedlicher Typen, wofür nachfolgend Beispiele angegeben werden.

Bei einem EEPROM ist ein IC-Trägerstreifen mit Außenanschlüssen, einem EEPROM-Chip und einem Gehäuse, bestehend aus einer Vergußmasse, versehen. Dieser Aufbau entspricht dem grundsätzlichen Aufbau von Halbleiterschaltkreisen. Mit EEPROMs ist eine nichtflüchtige Speicherung der Daten und eine unbegrenzte Anzahl von Lesezyklen möglich. Nachteilig ist es allerdings, daß die Anzahl von Schreib-Zyklen begrenzt und die Schreibgeschwindigkeit vergleichsweise gering ist.

Ebenfalls bei SRAMs entspricht der Aufbau dem grundsätzlichen Aufbau von Halbleiterschaltkreisen. Ein IC-Trägerstreifen ist mit Außenanschlüssen, einem SRAM-Chip und einem Gehäuse versehen. Mit SRAMs ist eine unbegrenzte Anzahl von Schreib- und Lese-Zyklen und gegenüber EEPROMs wesentlich höhere Zugriffsgeschwindigkeit für Lesen und Schreiben möglich. Allerdings ist die Datenspeicherung nur flüchtig möglich, das heißt, die Daten bleiben nur bei angelegter Betriebsspannung erhalten; bei Power-Down gehen die gespeicherten Daten verloren.

Zur Vermeidung des Nachteiles der flüchtigen Datenspeicherung im SRAM werden Verfahren zur Spannungsversorgung des SRAMs bei ausgeschalteter System-Versorgungsspannung genutzt. Eines dieser Verfahren ist das batteriegestützte Backup, welches beispielsweise in den Bat-SRAMs zur Anwendung kommt.

Ein Bat-SRAM besteht aus einem Board mit darauf montiertem SRAM und Spannungsdetektor-IC oder SRAM mit integriertem Spannungsdetektor. Auf dem Board sind Stekerleisten montiert. Diese dienen der Kontaktierung des Bat-SRAMs auf einem Geräteboard. Abstand und Anordnung der Kontakte sind dabei identisch mit üblichen Dual-in-Line-Plast-Gehäusen. Weiterhin ist auf dem Board eine Batterie angeordnet. Die gesamte Anordnung wird von einem Gehäuse umgeben, welches zusätzlich mit einer Vergußmasse verfüllt wird.

Die im Bauelement integrierte Batterie übernimmt die Spannungsversorgung zum Zweck des Datenerhalts im SRAM-Chip bei fehlender externer Versorgungsspannung.

Mit Bat-SRAMs ist eine hohe Zugriffsgeschwindigkeit gegenüber EEPROMs und eine unbegrenzte Anzahl von Schreibzyklen möglich. Allerdings sind hohe Herstellungskosten und eine reduzierte Zuverlässigkeit nachteilig, was durch die Vielzahl der eingesetzten Komponenten und Verbindungen hervorgerufen wird. Weiterhin ist ein hoher Montageaufwand bei der Herstellung, ein eingeschränkter Bereich der Arbeits- und Lagertemperatur durch die Batterie und eine Einschränkung der Nutzungsdauer des Bauelements durch beschränkte Batterielebensdauer, die typischerweise z. B. 10 Jahre beträgt, als Nachteil zu verzeichnen.

Auch sind die Möglichkeiten zur Miniaturisierung und zum Einsatz als SMD-Bauelement beschränkt.

Eine Weiterentwicklung der Bat-SRAMs sind Bat-SRAMs im SMD-Gehäuse mit steckbarer Batteriekapsel. Diese entsprechen dem grundsätzlichen Aufbau von Halbleiterschaltkreisen. Die IC-Trägerstreifen mit Außenanschlüssen sind mit einem SRAM-Chip mit integriertem Spannungsdetektor und Gehäuse versehen. Zusätzlich sind in das Gehäuse Steck- oder Federkontakte eingearbeitet, welche das Aufstecken einer Batteriekapsel und die elektrische Verbindung zwischen Batteriekapsel und dem eigentlichen IC ermöglichen. Damit werden Eigenschaften herkömmlicher Bat-SRAMs insbesondere hinsichtlich der Herstellung von SMD-Bauelementen verbessert. Weiterhin gestattet das steckbare Batteriemodul einen Austausch der Batterie im eingelöteten Zustand des Bauelementes.

Allerdings stellen sich ein hoher Montageaufwand bei der Herstellung und eine reduzierte Zuverlässigkeit durch eine Vielzahl der eingesetzten Komponenten und Verbindungen als Nachteil dar. Zusätzlich wird die Zuverlässigkeit durch nicht hermetisch dichte Kapselung der elektrischen Verbindung zwischen Batteriekapsel und SRAM-IC eingeschränkt. Weiterhin sind ein eingeschränkter Bereich der Arbeits- und Lagertemperatur durch die Batterie und ein zusätzlicher Wartungsaufwand durch Austauschzyklen der Batteriekapsel zu verzeichnen.

Eine Kombination der Eigenschaften flüchtiger RAMs, z. B. SRAM oder DRAM, die den Vorteil eines schnellen Speicherzugriffs für Lesen und Schreiben und einer unbegrenzten Anzahl von Schreib- und Lesezyklen bieten, und nichtflüchtiger Speicher, z. B. EEPROMs, ferroelektrischer RAMs, magnetoresistiver RAMs, die den Vorteil des Datenerhalts auch bei ausgeschalteter Versorgungsspannung bieten, stellen nichtflüchtige Shadow-RAMs dar. Eine Variante dieser Shadow-RAMs sind die Shadow-SRAMs, in welchen eine Speicherkonfiguration aus flüchtigem SRAM und nichtflüchtigem EEPROM integriert ist. Gegenüber Bat-SRAMs zeichnen sich Shadow-SRAMs beispielsweise durch einen wesentlich einfacheren konstruktiven Aufbau, geringere Abmessungen, höhere Zuverlässigkeit und Nutzungsdauer, einen weiteren Bereich der Arbeits- und Lagertemperatur und höhere Zugriffsgeschwindigkeit aus.

Erreicht wird diese Eigenschaft durch eine auf dem Halbleiterchip integrierte Schaltungsanordnung, welche neben dem eigentlichen SRAM-Bereich eine zusätzliche EEPROM-Matrix und eine komplexe Steuerungslogik enthält.

Shadow-SRAMs werden überwiegend in Standard-IC-Gehäusen gefertigt, der konstruktive Aufbau entspricht dem Aufbau von SRAMs oder EEPROMs.

Der Shadow-SRAM wird wie ein normaler SRAM betrieben, einige Typen sind pin-kompatibel zu Standard-SRAMs oder Bat-SRAMs. Die Schreib- und Lesezugriffe erfolgen im SRAM-Bereich. Die Zugriffsgeschwindigkeit entspricht der von schnellen Standard-SRAMs. Der SRAM-Bereich kann beliebig oft gelesen und beschrieben werden.

Der SRAM-Bereich des Shadow-SRAMs ist bitweise mit der EEPROM-Matrix verbunden. Im integrierten EEPROM erfolgt durch ein Hard- oder Softwaresignal innerhalb weniger Millisekunden die dauerhafte Sicherung der im SRAM gespeicherten Informationen (STORE) oder ein Rückladen des EEPROM-Inhaltes in den SRAM (RECALL). Beim Einschalten der Betriebsspannung wird die im EEPROM gespeicherte Information in den SRAM geladen.

Optional stehen Shadow-SRAM-Typen zur Verfügung, die bei Spannungsunterbrechungen automatisch das Sichern des SRAM-Inhaltes im EEPROM durchführen, was als PowerStore bezeichnet werden soll. Der PowerStore-Typ enthält eine integrierte Spannungsüberwachung, die bei Ab-

sinken der Betriebsspannung unter einen definierten Minimalwert ( $V_{\text{SWTCH}}$ ) automatisch einen STORE-Vorgang auslöst.

Die für das PowerStore notwendige Energie wird beispielsweise durch einen Stützkondensator bereitgestellt, welcher über ein zusätzlich beschaltetes Pin angeschlossen wird. Durch den Anschluß des externen Kondensators an diesem sogenannten  $V_{\text{CAP}}$ -Pin wird eine von der abfallenden Systemenergie (Power-Down) unabhängige Spannungsversorgung des Shadow-SRAMs gewährleistet, so daß der Vorgang der Datensicherung unabhängig vom zeitlichen Verlauf des Power-Down abgeschlossen werden kann.

In einigen Applikationen ist der Einsatz eines Shadow-SRAMs mit Standard-SRAM-Pinlayout erforderlich. Dies betrifft beispielsweise bereits bestehende Schaltungen, in denen anstelle eines bisher genutzten Standard-SRAMs oder Bat-SRAMs ohne Änderungen des Schaltungslayouts ein Shadow-SRAM eingesetzt werden soll.

Für derartige Applikationen sind Shadow-SRAM-Typen verfügbar, die pinkompatibel zu Standard-SRAMs sind. Aufgrund der geforderten Pinkompatibilität ist bei diesen Typen der zusätzliche Anschluß eines Kondensators am IC zur Bereitstellung der Energieversorgung bei Power-Down nicht möglich.

Bei diesen Typen wird deshalb die für das PowerStore notwendige Energie durch die verbleibende Restenergie im System bereitgestellt. Hierbei sind Forderungen bezüglich des Spannungsabfalles im System bei Power-Down einzuhalten. So darf der weitere Spannungsabfall ab  $V_{\text{SWTCH}}$  auf einen definierten Mindestwert eine definierte Zeitdifferenz nicht unterschreiten.

In Anwendungen mit zu geringer Systemenergie nach dem Abschalten der Spannungsversorgung kann ein schnellerer Spannungsabfall als für diesen Typ zulässig auftreten, so daß diese festgelegte Zeitdifferenz nicht gewährleistet werden kann.

In diesen Applikationen wird deshalb ein Shadow-SRAM mit Standard-SRAM-Pinout und ohne zusätzliche Beschaltung benötigt, welcher jedoch auch bei schnellem Power-Down einen zuverlässigen STORE-Vorgang durchführen kann und somit die beiden Vorteile der genannten Shadow-SRAM-Typen aufweist.

Aus einem Datenblatt der Anmelderin ist eine Halbleiteranordnung der eingangs genannten Art bekannt, die aus einem Halbleiterchip, auf dem ein Shadow-SRAM integriert ist, einem Schaltkreisgehäuse und einem Kondensator besteht. Der Kondensator ist zusätzlich zum Halbleiterchip in dem Schaltkreisgehäuse integriert, um die zum STORE-Vorgang bei Power-Down erforderliche Energie bereitzustellen. Diese Anordnung ermöglicht eine SRAM-pinkompatible Realisierung eines Shadow-SRAM, der ohne externe Zusatzbeschaltung praktisch unabhängig vom zeitlichen Ablauf bei Power-Down einen STORE-Vorgang zur Sicherung der Speicherdaten des flüchtigen SRAMs in einen EEPROM durchführen kann.

In praktisch allen Bereichen der Elektronik-Industrie findet ein stetiger Trend zur Miniaturisierung statt. Dieser Trend macht eine weitergehende Verringerung der äußeren Abmessungen der gesamten Schaltungsanordnung erforderlich. Um dem geringen Volumen von derartigen Gehäusen zu entsprechen, bieten sich beispielsweise Tantal-Chip-Kondensatoren an, welche sich durch eine besonders große Kapazität bei geringem Volumen auszeichnen. Üblicherweise besitzen derartige Tantal-Chip-Kondensatoren einen porösen Tantal-Sinterkörper mit einer Tantaloxyd-Oberfläche und einer mehrlagigen Beschichtung z. B. aus Manganoxid, Graphit und Silber. Der Kern des Tantalkörpers wird durch einen Tantalsteg gebildet, welcher aus dem gesinter-

ten Körper herausgeführt ist.

Zum hermetischen Abschluß, zum Schutz vor äußeren Einwirkungen, zur mechanischen Befestigung, zur elektrischen Kontaktierung auf Boards und zu Kennzeichnung wird der beschichtete Tantalkörper von einem Gehäuse umhüllt. Dieses Gehäuse besteht aus einem Vergußmaterial, in welches nach außen führende Leiterbahnen eingebettet sind, die außen als Kontaktflächen zur SMD-Montage ausgebildet sind. Im Inneren des Kondensatorgehäuses sind diese Leiterbahnen beispielsweise durch Lot-, Schweiß- oder Klebeverbindungen mit dem Tantalsteg und der Silberschicht auf dem Tantalkörper elektrisch leitend verbunden.

Nachteilig ist bei dieser Lösung, daß für den STORE-Vorgang eine vergleichsweise große Kondensatorkapazität erforderlich ist und die äußeren Abmessungen des Kondensators in der o. g. Ausführungsform eine weitere wesentliche Miniaturisierung der beschriebenen Anordnung und damit auch die Realisierung sehr kleiner Gehäusetyphen des Shadow-RAMs begrenzen.

Der Erfindung liegt somit die Aufgabe zugrunde, eine Anordnung für Shadow-RAMs anzugeben, welche ohne externe Zusatzbeschaltung der angestrebten Miniaturisierung gerecht wird und praktisch unabhängig vom zeitlichen Ablauf bei Power Down ein STORE-Vorgang zur Sicherung des RAM-Inhalts im nichtflüchtigen Schattenspeicher durchführen kann.

Diese Aufgabe wird dadurch gelöst, daß die Kapazität als ein Kondensatorelement ausgeführt ist, das ohne ein eigenes Gehäuse zumindest aus Elektroden und Dielektrikum besteht, und Halbleiterchip und Kondensatorelement gemeinsam auf einem Trägerstreifen mechanisch befestigt sind und durch Bonddrähte, Leiterstreifen, Lot-, Schweiß- und/oder durch leitfähige Klebstoffverbindungen elektrisch mit dem Trägerstreifen und/oder miteinander verbunden sind.

Die gesamte Anordnung wird in einem Gehäuse vergossen, welches in seinen Abmessungen beispielsweise einem Standard-RAM-Gehäuse entspricht. Damit wird die Speicherung der für den STORE-Vorgang bei Power-Down erforderlichen Energie anstelle von einem Standard-Kondensator von der Anordnung aus Elektroden und Dielektrikum mit Kondensatorfunktion ohne Gehäuse übernommen.

Hierbei übernimmt das Gehäuse der integrierten Schaltungsanordnung zusätzlich die Funktion eines Kondensatorgehäuses, welches beispielsweise dem hermetischen Abschluß, dem Schutz vor äußeren Einwirkungen, der mechanischen Befestigung des Kondensators, der elektrischen Kontaktierung auf Boards und der Kennzeichnung dient.

Auf diese Weise kann eine Anordnung zur Speicherung der für den STORE-Vorgang erforderlichen Energie gefertigt werden, welche sich im Gegensatz zur Verwendung von Kondensatoren in Standard-Gehäusen durch einen wesentlich geringeren Raumbedarf auszeichnet und damit der Forderung nach weiterer Miniaturisierung entspricht. Weiterhin wird durch die Nutzung des Schaltkreisgehäuses zur Kapselung des Kondensatorelementes eine Reduktion der notwendigen Gehäusekomponenten und damit auch eine Reduzierung der Fertigungskosten und eine Erhöhung der Zuverlässigkeit durch Verringerung der Anzahl der elektrischen Verbindungen erreicht.

In einer weiteren Ausgestaltung der Erfindung ist vorgesehen, daß die gesamte Anordnung in einem Standard-Gehäuse mechanisch und/oder pinkompatibel vergossen wird.

Dabei können die nach außen führenden Teile des Trägerstreifens der integrierten Schaltungsanordnung, welche wie bei Standardgehäusen als Pins ausgebildet sind, so an Chip und Kondensatorelement angeschlossen, daß eine Standard-RAM-kompatible Pin-Konfiguration erreicht wird.

Somit kann beispielsweise eine standardisierte SRAM-

PIN-Belegung angeboten werden, eine weitere Miniaturisierung des Bauelementes, beispielsweise durch Nutzung von SOP- und TSOP-Gehäusen durchgeführt und dabei ebenso die vorteilhafte Datenspeicherung bei einem Power-Down realisiert werden, ohne daß eine zusätzliche Außenbeschaltung, die diese Datenspeicherung realisieren würde, erforderlich ist.

Damit wird es möglich, die erfindungsgemäße integrierte Speicherschaltungsanordnung auch mechanisch anstelle eines herkömmlichen Standard-RAM einzusetzen.

In einer weiteren Ausführungsform ist das Kondensatorelement direkt auf dem Halbleiterchip befestigt und mit diesem und/oder dem Trägerstreifen durch Bonddrähte, Leiterstreifen, Lot-, Schweiß- und/oder durch leitfähige Klebverbindungen elektrisch verbunden.

Eine weitere Ausführungsform der integrierten Schaltungsanordnung sieht vor, daß die äußere Oberfläche des Kondensatorelementes teilweise oder ganz als Elektrode ausgeführt ist und auf der Chipoberfläche ein leitfähiger Bereich ausgebildet ist, welcher mit der inneren Schaltung des Chips verbunden ist. In dieser Ausführungsform wird das Kondensatorelement elektrisch leitfähig auf diesen Bereich der Chipoberfläche aufgeklebt, so daß zumindest eine der Verbindungen zwischen Chip und Kondensator hierdurch ersetzt werden kann.

Eine weitere Gestaltung der integrierten Schaltungsanordnung sieht vor, daß der Halbleiterchip und das Kondensatorelement nebeneinander auf dem Trägerstreifen befestigt werden und durch Bonddrähte, Leiterstreifen, Lot-, Schweiß- und/oder durch leitfähige Klebverbindungen elektrisch mit dem Trägerstreifen und/oder miteinander verbunden sind.

Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels näher erläutert werden. In den zugehörigen Zeichnungen zeigt

**Fig. 1** eine Ansicht einer ersten Ausführungsform der erfindungsgemäßen Speicheranordnung,

**Fig. 2** eine Ansicht einer zweiten Ausführungsform der erfindungsgemäßen Speicheranordnung,

**Fig. 3** einen Schnitt durch die erfindungsgemäße Speicheranordnung in der zweiten Ausführungsform.

In der ersten Ausführungsform, wie sie insbesondere in **Fig. 1** dargestellt ist, wird ein Shadow-SRAM-Chip **1** durch eine Klebeverbindung auf dem Trägerstreifen **2** befestigt. Auf der Oberfläche des Shadow-SRAM-Chips **1** wird durch eine weitere, elektrisch nicht leitfähige Klebeverbindung das Kondensatorelement **3** befestigt. Um die für den STORE-Vorgang erforderliche Speicherkapazität sicherzustellen, wird ein Tantal-Kondensatorelement verwendet. Das Kondensatorelement **3** besitzt einen nicht näher dargestellten Tantalkörper. Eine der ebenfalls nicht näher dargestellten Elektroden des Kondensatorelementes **3** wird durch eine mehrschichtige Oberfläche auf dem Tantalkörper gebildet, deren äußere Beschichtung **4** aus Silber besteht. Diese Silberbeschichtung **4** wird durch einen oder mehrere Bonddrähte **5** so mit dem Trägerstreifen **2** verbunden, daß über den Leiterstreifen **24** des Trägerstreifens **2** eine elektrisch leitende Verbindung zum nach außen führenden Massepin, d. h. dem  $V_{SS}$ -Pin **6**, hergestellt wird. Über Bonddrähte **29** ist der Leiterstreifen **24** zusätzlich mit der  $V_{SS}$ -Bondinsel **25** verbunden.

An einer der Stirnseiten des Kondensatorelementes **3** ist ein Tantalsteg **7** herausgeführt, welcher Bestandteil des Tantalkörpers des Kondensatorelementes **3** ist. Auf diesem Tantalsteg **7** wird durch eine Bondverbindung **8** eine elektrisch leitfähige Verbindung zur Mittelinsel **9** des Trägerstreifens **2** hergestellt. Die Mittelinsel **9** wiederum wird über zwei parallele Bonddrähte **10** elektrisch leitfähig mit der  $V_{CAP}$ -

Bondinsel **11** des Shadow-SRAM-Chips **1** verbunden.

Die übrigen Anschlüsse des Shadow-SRAM-Chips **1** an die Pins **13** des Gehäuses **14** der Halbleiteranordnung werden durch Bonddrähte **15** zwischen den entsprechenden Bondinseln **16** und den Zinken **17** des Trägerstreifens **2** hergestellt. Dies erfolgt so, daß die Konfiguration der Adreß-, Daten- und Steuerpins der Standard-SRAM-Pinbelegung entspricht.

Neben den bereits genannten Vorteilen dieser Ausführungsform besteht mit dieser Anordnung in vielen Fällen die Möglichkeit, als Trägerstreifen **2** einen Standard-Trägerstreifen beispielsweise für SRAMs zu nutzen, so daß eine weitere Verringerung der Fertigungskosten durch Reduzierung der Setup-Kosten möglich ist.

Die Spannungsversorgung des Shadow-SRAM-Chips **1** erfolgt im normalen Betrieb aus der nicht näher dargestellten System-Versorgungsspannung über das  $V_{CC}$ -Versorgungsspannungspins **18**, welches an die  $V_{CC}$ -Bondinsel **12** angeschlossen ist.

Auf dem Shadow-SRAM-Chip **1** ist neben der SRAM/EEPROM-Speichermatrix **21** eine Speicherlogik **33** und eine STORE/RECALL-Steuerung **19** integriert. Der Speicherzugriff erfolgt auf den SRAM-Bereich der integrierten Speichermatrix **21**.

Die chipinterne STORE/RECALL-Steuerung **19** führt grundsätzlich eine ständige Überwachung der angelegten Betriebsspannung durch, um bei Erreichen bestimmter Spannungsschwellen automatisch eine nichtflüchtige Sicherung der flüchtigen SRAM-Daten ausführen zu können. Durch die STORE/RECALL-Steuerung **19** wird im normalen Betriebszustand über einen gesteuerten chipinternen Transistor **20** sichergestellt, daß die Spannungsversorgung der chipinternen Komponenten und ein Laden des Kondensatorelementes **3** erfolgt.

Bei Power-Down wird bei Unterschreiten eines definierten Spannungswertes  $V_{SWTCH}$  die Verbindung zum  $V_{CC}$ -Versorgungsspannungs-Pin **18** aufgetrennt. Die weitere Spannungsversorgung des Shadow-SRAM-Chips **1** erfolgt unabhängig von der externen Versorgungsspannung aus der im Kondensatorelement **3** gespeicherten Energie, welche insbesondere zum sicheren Speichern der SRAM-Daten in den chipinternen EEPROM-Bereich genutzt wird. Hiermit wird gewährleistet, daß unabhängig vom weiteren Verlauf des Abfalls der externen Versorgungsspannung  $V_{CC}$  bei Power-Down eine ausreichend hohe interne Versorgungsspannung zur Verfügung steht.

In der zweiten Ausführungsform, wie sie insbesondere in **Fig. 2** und **3** dargestellt ist, wird der Shadow-SRAM-Chip **1** durch eine Klebstoffverbindung **27** auf der Mittelinsel **9** des Trägerstreifens **2** befestigt und zwischen den Bondinseln **16** und den Zinken **17** durch Bonddrähte **15** mit dem Trägerstreifen **2** und damit mit den nach außen führenden Pins **13** des Gehäuses **14** der integrierten Schaltungsanordnung verbunden. Zusätzlich zu den Bondverbindungen mit den nach außen führenden Pins **13** besteht eine Bondverbindung **10** von der  $V_{CAP}$ -Bondinsel **11** des Shadow-SRAM-Chips **1** auf die Mittelinsel **9** des Trägerstreifens **2**, auf welchem der Shadow-SRAM-Chip **1** montiert ist.

Die Mittelinsel **9** ist mit Stegen **22** verbunden, welche an den Längsseiten **23** des Gehäuses **14** der Schaltungsanordnung enden, ohne daß ein Anschluß nach außen vorgesehen ist. Derartige Stege **22** werden insbesondere zur mechanischen Fixierung der Mittelinsel **9** während des Umhüllungsprozesses beim Schaltkreis-Packaging verwendet.

Der Leiterstreifen **24** des Trägerstreifens **2**, welcher das  $V_{SS}$ -Pin **6** mit der  $V_{SS}$ -Bondinsel **25** des Shadow-SRAM-Chips **1** verbindet, ist so ausgebildet, daß er eine Verbreiterung besitzt, welche als Montagefläche **26** dient, auf welcher

des Tantal-Kondensatorelement 3 mit einer elektrisch leitfähigen Klebstoffverbindung 30 befestigt wird. Diese Montagefläche 26 befindet sich unmittelbar neben einem der mit der Mittelinsel 9 verbundenen Stege 22 und besitzt zwei Stege 34.

Die  $V_{SS}$ -Bondinsel 25 ist über Bonddrähte 29 mit den Leiterstreifen 24 verbunden. Zwischen der Mittelinsel 9 und der Montagefläche 26 besteht keine direkte Verbindung.

Wie im vorangegangenen Ausführungsbeispiel wird eine der Elektroden des Kondensatorelementes 3 durch eine mehrschichtige Oberfläche auf dem Tantalkörper gebildet, deren äußere Beschichtung 4 aus Silber besteht. Diese Silberbeschichtung 4 wird durch die elektrisch leitfähige Klebstoffverbindung 30 an die Montagefläche 26 des Leiterstreifens 24 und damit an das nach außen führende  $V_{SS}$ -Pin 6 und die  $V_{SS}$ -Bondinsel 25 des Shadow-SRAM-Chips 1 angeschlossen.

An einer der Stirnseiten des Kondensatorelementes 3 ist ein Tantalsteg 7 herausgeführt, welcher Bestandteil des Tantalkörpers 28 des Kondensatorelementes 3 ist.

Die Ausführung des Trägerstreifens 2 und die Anordnung des Kondensatorelementes 3 erfolgen so, daß sich das Ende des Tantalsteges 7 über einer seitlichen Verlängerung 31 eines der Stege 22 des Trägerstreifens 2 befindet, welcher mit der Mittelinsel 9 und damit mit der  $V_{CAP}$ -Bondinsel 11 des Shadow-SRAM-Chips 1 verbunden ist.

Weiterhin ist der Leiterstreifen 24, auf welchen das Kondensatorelement 3 aufgeklebt ist, an der Klebestelle abgesenkt, so daß das Kondensatorelement 3 mittig zwischen Ober- und Unterseite des Gehäuses 14 angeordnet ist. Zum Ausgleich der Höhendifferenz zwischen Tantalsteg 7 und Steg 22 wird die Verlängerung 31 nach oben abgesetzt, so daß der Tantalsteg 7 unmittelbar auf dem mit der Mittelinsel 9 verbundenen Steg 22 des Trägerstreifens 2 aufliegt. Die elektrische und mechanische Verbindung zwischen Tantalsteg 7 und der Verlängerung 31 des Steges 22 wird durch eine elektrisch leitfähige Klebstoffverbindung 32 hergestellt.

Durch die besonders flache Bauform dieser Anordnung eignet sich diese insbesondere für Gehäuse mit geringer Bauhöhe wie SOP und TSOP, welche bei Halbleiterspeichern bereits in großem Umfang eingesetzt werden.

Die elektrische Funktion der Schaltungsanordnung entspricht der bei der ersten Ausführungsform beschriebenen.

#### Bezugszeichenliste

- 1 Shadow-SRAM-Chip
- 2 Trägerstreifen
- 3 Kondensatorelement
- 4 Silberbeschichtung
- 5 Bonddraht
- 6  $V_{SS}$ -Pin
- 7 Tantalsteg
- 8 Bondverbindung
- 9 Mittelinsel
- 10 Bonddrähte
- 11  $V_{CAP}$ -Bondinsel
- 12  $V_{CC}$ -Bondinsel
- 13 Pin
- 14 Gehäuse
- 15 Bonddraht
- 16 Bondinsel
- 17 Zinken
- 18  $V_{CC}$ -Versorgungsspannungspin
- 19 STORE/RECALL-Steuerung
- 20 chipinterner Transistor
- 21 Speichermatrix

- 22 Steg der Mittelinsel
- 23 Längsseite
- 24 Leiterstreifen
- 25  $V_{SS}$ -Bondinsel
- 26 Montagefläche
- 27 Klebstoffverbindung
- 28 Tantalkörper
- 29 Bonddraht
- 30 Klebstoffverbindung
- 31 Verlängerung
- 32 Klebstoffverbindung
- 33 Speicherlogik
- 34 Steg

#### Patentansprüche

1. Integrierte Speicherschaltungsanordnung aus einem Trägermaterial, einem Halbleiterchip, auf dem zumindest ein Shadow-RAM integriert ist, einem Schaltkreisgehäuse und einer Kapazität, die zusätzlich zum Halbleiterchip in dem Schaltkreisgehäuse die zum STORE-Vorgang bei Power-Down erforderliche Energie bereitstellend integriert ist, **dadurch gekennzeichnet**, daß die Kapazität als ein Kondensatorelement (1) ausgeführt ist, die ohne ein eigenes Gehäuse zumindest aus Elektroden und Dielektrikum besteht, und Halbleiterchip (1) und Kondensatorelement (3) gemeinsam auf einem Trägerstreifen (2) mechanisch befestigt sind und durch Bonddrähte (5; 15; 29), Leiterstreifen, Lot-, Schweiß- und/oder durch leitfähige Klebstoffverbindungen (27; 30; 32) elektrisch mit dem Trägerstreifen (2) und/oder miteinander verbunden sind.
2. Integrierte Speicherschaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die gesamte Anordnung in einem Standard-Gehäuse (14) eine mechanisch und/oder pinkompatibel vergossen wird.
3. Integrierte Speicherschaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Kondensatorelement (3) direkt auf dem Halbleiterchip (1) befestigt wird und mit diesem und/oder dem Trägerstreifen (2) durch Bonddrähte (5; 15; 29), Leiterstreifen (24), Lot-, Schweiß- und/oder durch leitfähige Klebstoffverbindungen (30; 32) elektrisch verbunden wird.
4. Integrierte Speicherschaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß eine äußere Oberfläche des Kondensatorelementes teilweise oder ganz als Elektrode ausgeführt ist, daß auf der Chipoberfläche ein leitfähiger Bereich ausgebildet ist, welcher mit der inneren Schaltung des Chips verbunden ist und daß das Kondensatorelement (3) elektrisch leitfähig auf diesen Bereich der Chipoberfläche zumindest eine der Verbindungen zwischen Halbleiterchip (1) und Kondensatorelement (3) ersetzend aufgeklebt ist.
5. Integrierte Speicherschaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Halbleiterchip (1) und das Kondensatorelement (3) nebeneinander auf dem Trägerstreifen (2) befestigt und durch Bonddrähte (5; 15; 29), Leiterstreifen (24), Lot-, Schweiß- und/oder durch leitfähige Klebstoffverbindungen (30; 32) elektrisch mit dem Trägerstreifen (2) und/oder miteinander verbunden sind.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

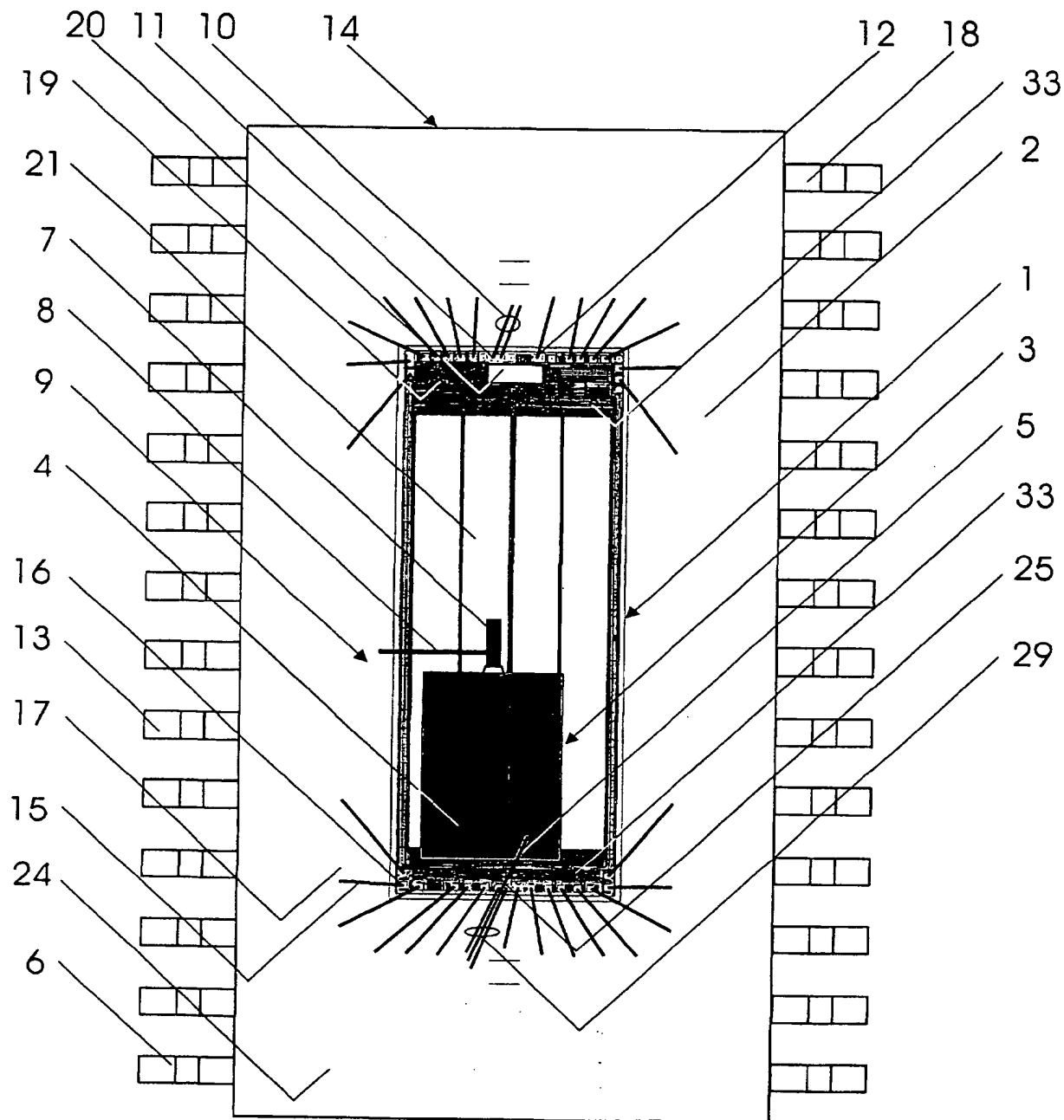


Fig. 1

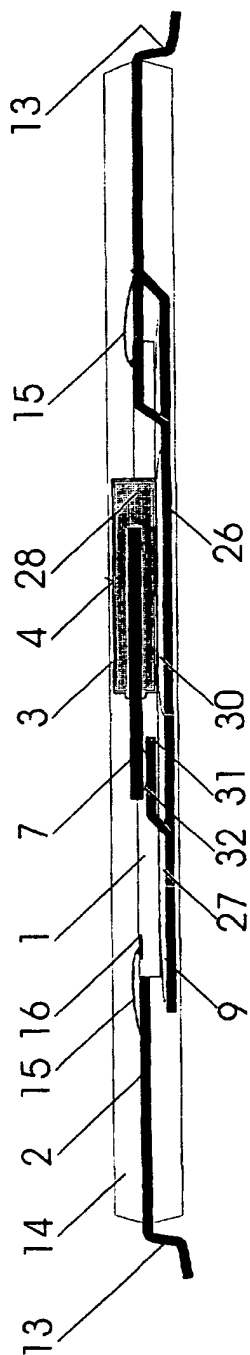


Fig. 3

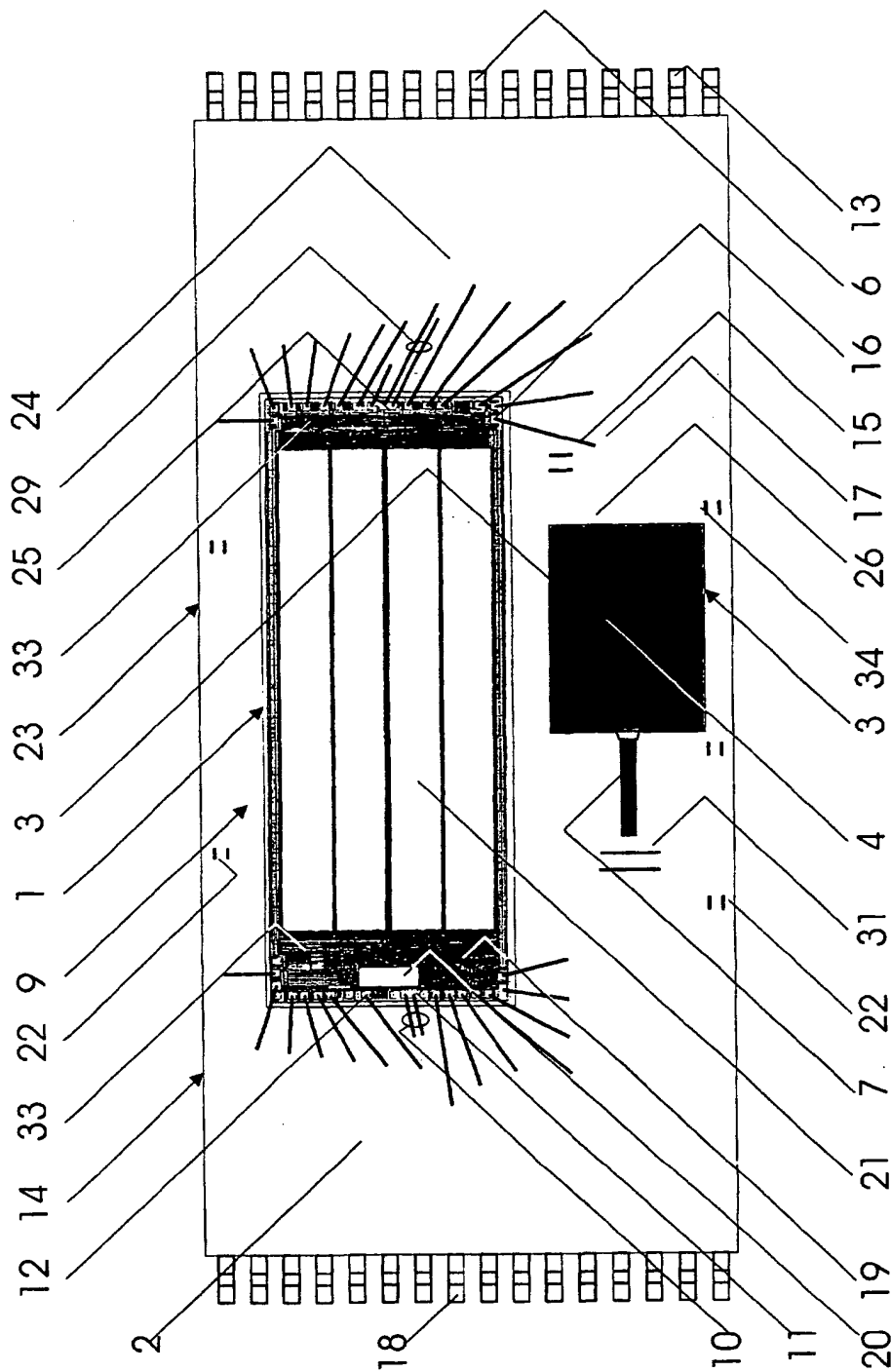


Fig. 2



**Storag circuit apparatus**

Patent Number: US6185124  
Publication date: 2001-02-06  
Inventor(s): BUSCHBECK STEFFEN (DE); WOLF THOMAS (DE); ROEPER HEIKO (DE)  
Applicant(s): ZENTRUM MIKROELEKTRONIK DRESDE (US)  
Requested Patent: DE19847175  
Application Number: US19990306306 19990506  
Priority Number(s): DE19981047175 19981014  
IPC Classification: G11C11/24  
EC Classification: G11C5/14, H01L23/495Q  
Equivalents:

---

**Abstract**

---

A storage circuit apparatus includes a support material, a semiconductor chip on which at least one shadow RAM is integrated, a capacitor element and a circuit housing. The storage circuit shadow RAM apparatus is able to perform a STORE operation to secure the RAM content in the non-volatile shadow memory practically independently of the time curve in "power down," without external accessory circuitry. The capacitor element, consisting at least of electrodes and dielectric, is integrated in the circuit housing, and furnishes the energy required for the STORE operation in power-down

---

Data supplied from the esp@cenet database - I2

DOCKET NO: MAS-FIN-408

SERIAL NO: \_\_\_\_\_

APPLICANT: B. Goller et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100